

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 10 月 03 日  
Application Date

申請案號：092127526  
Application No.

申請人：台灣茂矽電子股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2004 年 2 月 19 日  
Issue Date

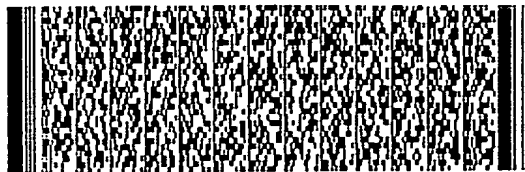
發文字號：09320158640  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

# 發明專利說明書

一、 發明名稱	中文	製造溝渠式金氧半場效電晶體之方法
	英文	METHOD FOR MANUFACTURING TRENCH-TYPED MOSFET
二、 發明人 (共4人)	姓名 (中文)	1. 林正堂 2. 吳明峰 3. 葉宗智
	姓名 (英文)	1. LIN, CHEN TANG 2. WU, MING FENG 3. YEH, CHUNG CHIH
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中文)	1. 新竹縣竹北市建國街67-6號 2. 新竹縣竹北市四維路95巷11號4樓 3. 嘉義縣中埔鄉沱水村大興4鄰661號
	住居所 (英文)	1. No. 67-6, Jianguo St., Jubei, Hsinchu, Taiwan 302, R.O.C. 2. 4F., No. 11, Lane 95, Swei St., Jubei, Hsinchu, Taiwan 302, R.O.C. 3. No. 661, Dashing Rd., Jungpu Shiang, Chia-I, Taiwan 606, R.O.C.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 台灣茂矽電子股份有限公司
	名稱或姓名 (英文)	1. MOSEL VITELIC INC.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹市科學工業園區力行路19號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. No. 19, Li Hsin Rd., Science-based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中文)	1. 胡洪九
	代表人 (英文)	1. HU, HUNG CHIU



申請日期：

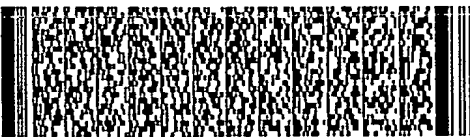
IPC分類

申請案號：

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共4人)	姓 名 (中文)	4. 邱信諺
	姓 名 (英文)	4. CHIU, HSIN YEN
	國 籍 (中英文)	4. 中華民國 TW
	住居所 (中 文)	4. 台中縣大里市德芳路一段196號2樓
	住居所 (英 文)	4. 2FL., No. 196, Sec. 1, Defang Rd., Dali City, Taichung County, Taiwan 412, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：製造溝渠式金氧半場效電晶體之方法)

本案係關於一種製造溝渠式金氧半場效電晶體之方法，該方法至少包括步驟：(a)提供一半導體基板，並於該半導體基板上形成溝渠；(b)形成一第一氧化層於該溝渠之底部與側壁以及該半導體基板上；(c)形成一底抗反射層於該溝渠中，並覆蓋於該第一氧化層上；(d)形成一光阻層於該底抗反射層上；(e)移除該光阻層；(f)移除該抗反射層；以及(g)移除該溝渠側壁之該第一氧化層，以於該溝渠中形成一底氧化層。

五、(一)、本案代表圖為：第    一    (h)-----圖

(二)、本案代表圖之元件代表符號簡單說明：

10 半導體基板

11 墊氧化層

12 氮化矽層

13 罩幕氧化層

14 溝渠

18 底氧化層

19 導電材料

六、英文發明摘要 (發明名稱：METHOD FOR MANUFACTURING TRENCH-TYPED MOSFET)

A method for manufacturing trench-typed MOSFET is disclosed. The method includes the steps of providing a semiconductor substrate and forming a trench on the semiconductor substrate; forming a first oxide layer on the bottom and the sidewalls of the trench and on the semiconductor substrate; forming a bottom anti-reflective coating (BARC) layer into the trench and covering



四、中文發明摘要 (發明名稱：製造溝渠式金氧半場效電晶體之方法)

六、英文發明摘要 (發明名稱：METHOD FOR MANUFACTURING TRENCH-TYPED MOSFET)

the bottom anti-reflective coating (BARC) layer on the first oxide layer; forming a photo resist layer on the bottom anti-reflective coating (BARC) layer; removing the photo resist layer; removing the bottom anti-reflective coating (BARC) layer; and removing the first oxide layer on the sidewalls of the trench to form a bottom oxide layer on the bottom of the trench.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



## 五、發明說明 (1)

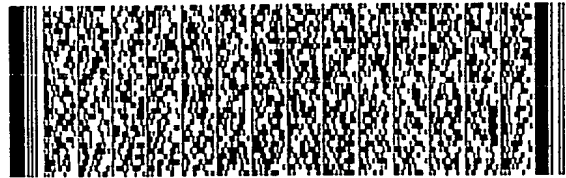
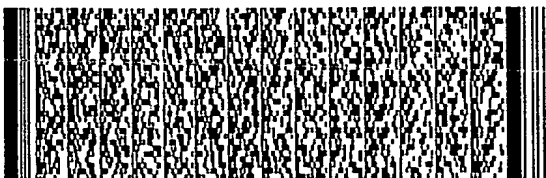
### 發明所屬之技術領域

本案係關於一種製造金氧半場效電晶體(metal-oxide-semiconductor FET)之方法，尤指一種製造溝渠式金氧半場效電晶體(trench-typed MOSFET)之方法。

### 先前技術

現今，溝渠式金屬氧化半導體(trench-typed MOS)元件已廣為業界所應用。溝渠式金屬氧化半導體元件和傳統金屬氧化半導體元件的差別係將前者之閘極導體做在渠溝內，其好處在於可縮小元件面積、增加元件密度且不會巨幅增加開電阻(on-resistance)。但是，為提高驅動電流(current drive)而薄化閘極氧化層的結果，卻使得閘極氧化層容易受接面穿擊效應(punch-through)所影響。

一般而言，溝渠式金屬氧化半導體元件之例示製程包括，於半導體基板上依序形成墊氧化層、氮化矽層以及單幕氧化層。接著，於半導體基板上進行微影與蝕刻製程，以移除部分單幕氧化層、氮化矽層、墊氧化層以及半導體基板後，形成溝渠於半導體基板上，之後，再沉積多晶矽(polysilicon)以形成閘極導電極。然而，如同先前所述，此種薄化閘極氧化層的溝渠式金屬氧化半導體會使得閘極氧化層容易受接面穿擊效應(punch-through)所影響。因此，為減低接面穿擊效應(punch-through)，目前已發展出底部氧化層(bottom-oxide)式溝渠式金屬氧



## 五、發明說明 (2)

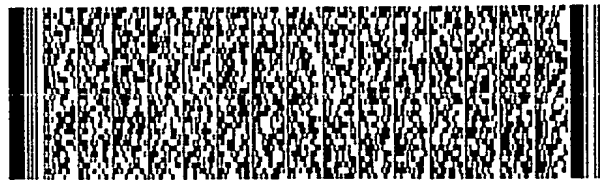
化半導體元件，其例示性製程可參閱公告於2001年7月24日之美國專利6,265,269號。

由於，製造電晶體時，半導體基板上之溝渠會因電路佈局的不同，而形成分布不均的情形，導致半導體基板上會形成溝渠密集區與溝渠稀疏區，以致光阻塗佈於半導體基板上以及填入溝渠時，會產生明顯的高低落差，使得後續製程中溝渠底部所產生之底氧化層亦有高低不平的現象。如此一來，不同的可工作元件於其所處之渠溝內的底部氧化層便會有高度不均的(non-uniform)問題。另一方面，為了於溝渠中形成底部氧化層所伴隨的蝕刻步驟亦會使得半導體基板於靠近溝渠之部位形成不必要的損害(damage)，如此一來，就會影響電晶體之晶圓允收測試(Wafer Acceptance Test, WAT)特性，而對金屬氧化半導體(trench-type MOS)元件產生影響。

因此，如何使不同的可工作元件於其所處之渠溝內的底部氧化層之高度係均勻的(uniform)形成，及避免半導體靠近溝渠頂部之位置形成不必要的損害(damage)，係製造溝渠式金氧半場效電晶體之方法實為目前迫切需要解決之問題。

### 發明內容

本案提供一種製造半導體元件之方法，亦為提供製造溝渠式金氧半場效電晶體之方法，以於溝渠底部形成較平均底氧化層以及避免半導體靠近溝渠頂部之位置形成不必





## 五、發明說明 (3)

要的損害(damage)。

為達上述目的，本案提供一種製造溝渠式金氧半場效電晶體之方法，該方法至少包括步驟：(a)提供一由下而上依序堆疊為一墊氧化層、一氮化矽層與一罩幕氧化層之半導體基板，並於該半導體基板上形成溝渠；(b)形成一第一氧化層於該溝渠之底部與側壁以及該半導體基板上；(c)形成一底抗反射層於該溝渠中，並覆蓋於該第一氧化層上；(d)形成一光阻層於該底抗反射層上；(e)移除該光阻層；(f)移除該抗反射層；以及(g)移除該溝渠側壁之該第一氧化層，以於該溝渠中形成一底氧化層。

於本案之實施例中，步驟(g)可以蝕刻方式進行，而其蝕刻方式使用包含氫氟酸的化合物進行。另外，於步驟(g)之後更包括步驟：(h)沉積一多晶矽層於該溝渠。

本案之又一目的係為提供一種半導體元件，該半導體元件之構造包括：一半導體基底；一溝渠式閘極在該半導體基底內；一溝渠式的氧化物質在該溝渠式閘極下方；以及，一閘極氧化層包覆著該溝渠式閘極且介於該溝渠式閘極與該氧化物質之間。

### 簡單圖示說明

第一圖(a)~第一圖(h)：其係顯示本案較佳實施例之流程示意圖。

### 圖示符號說明



#### 五、發明說明 (4)

10 半導體基板

12 氮化矽層

14 溝渠

16 底抗反射層

18 底氧化層

11 墊氧化層

13 罩幕氧化層

15 氧化層

17 光阻層

19 導電材料

#### 實施方式

本案方法主要應用於溝渠式金屬氧化半導體(trench-type MOS)元件的製程上，用以避免因溝渠分布不均，而於製程過程中，發生底氧化層高度不平均以及溝渠頂部產生不必要損害之(damage)缺失，進而防止如此之缺失對電晶體之晶圓允收測試(Wafer Acceptance Test, WAT)特性所產生之影響。

以下的實施方式僅為例示性的敘述，所有之敘述包括元件種類、尺度、材料(物質)、功能相同的製程或步驟順序等等皆不限制本發明所應保護的範圍，本發明的保護必須以申請專利範圍為準。

請參閱第一圖(a)至第一圖(h)，其係顯示本案較佳實施例之流程示意圖。如第一圖(a)所示，於製造溝渠式金屬氧化半導體(trench-type MOS)元件時，首先提供一半導體基板10，其中半導體基板10可為矽基板或玻璃基板等。然後，於半導體基板10上依序形成墊氧化層11、氮化矽層12以及罩幕氧化層13。其中，墊氧化層11係具有緩衝的作用，可減低半導體基板10與氮化矽層12之間的應力作

##### 五、發明說明 (5)

用，而罩幕氧化層13較佳為氧化矽層。接著，如第一圖(b)所示，以微影與蝕刻的方式移除部分罩幕氧化層13、氮化矽層12、墊氧化層11以及半導體基板10，以形成複數個溝渠14於半導體基板上10，其中溝渠14的深度最佳為1.5至2.5  $\mu\text{m}$ ，而直徑最佳為0.5  $\mu\text{m}$ 。

於形成溝渠14時，如果所使用之方式為蝕刻製程，通常會在溝渠14側壁或底部產生顆粒或形成不平坦表面。為解決這個問題，於溝渠14形成後，可利用氧化法先在溝渠14側壁形成一犧牲氧化層(sacrifice oxide)(未圖示)，隨後再移除該犧牲氧化層(通常移除約500 Å的厚度)。

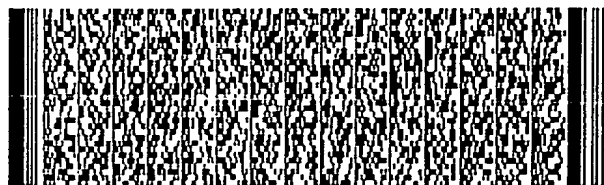
然後，如第一圖(c)所示，於半導體基板10上，以化學氣相沉積製程(較佳為化學氣相沉積製程CVD)形成一氧化層15於該溝渠14之底部與側壁以及整個半導體基板10上。接著，如第一圖(d)所示，形成一底抗反射層(Bottom Anti-Reflective Coating, BARC)16於該溝渠中14，並覆蓋於該氧化層15上。由於，底抗反射層(Bottom Anti-Reflective Coating, BARC)16的黏滯係數較低，流量較大，當底抗反射層16形成於該半導體基板10且填入溝渠14中時，會於半導體基板10的表面上形成一層薄薄的膜，如此則可於半導體基板10上形成如第一圖(d)所示之較平坦的表面。接著，如第一圖(e)所示，形成一光阻層17於該半導體基板10上，由於該底抗反射層16已於半導體基板10上形成較平坦的表面，該光阻層17便不會受溝渠14分布疏

#### 五、發明說明 (6)

密的影響，而會平均的形成於半導體基板10上，如此一來，光阻層17便不會發生高低不平的現象。於隨後移除該光阻層17之製程中，如第一圖(f)所示，半導體基板10於溝渠14轉角處便不會產生損害(damage)。接下來，如第一圖(g)所示，利用包含硫酸的化合物以蝕刻製程(較佳為濕蝕刻製程)於半導體基板10上移除底抗反射層16，再利用包含氫氟酸的化合物以蝕刻製程(較佳為濕蝕刻製程)於半導體基板10上移除溝渠14側壁之氧化層15，如此一來，溝渠14之底部便可形成所需之底氧化層(bottom oxide)18。

最後，如第二圖(h)所示，於半導體基板10上與溝渠14中沉積導體材料19(例如：多晶矽)，之後再依需要進行研磨製程(未圖示)，以進行後續的溝渠式半導體元件之製作過程。

於上述之製造溝渠式金氧半場效電晶體之方法中，由於於光阻層塗佈前先塗佈底抗反射層(Bottom Anti-Reflective Coating, BARC)，使得溝渠已被部分底抗反射層填補，以及半導體基板上以形成薄膜表面的情況下，使得光阻塗佈時，不會受到溝渠分布不均的影響，而形成高低有落差的光阻層，於後續以蝕刻製程移除光阻層時，亦不會因為溝渠分布疏密的問題，而造成蝕刻深淺不均，以致發生溝渠的頂部轉角或內壁因蝕刻所產生之損傷(damage)。更重要的，由於底抗反射層的塗佈，使得光阻層被移除後，還有部分且高度均勻的底抗反射層於溝渠中，當後續以蝕刻製程移除溝渠中之底抗反射層與氧化層



##### 五、發明說明 (7)

後，便可於每一溝渠中留下所需高度相當的底氧化層，而不會受到溝渠分布不均的影響。

綜上所述可知，本案方法主要藉由於光阻塗佈於半導體基板上前，先形成底抗氧化層於整個半導體基板上與溝渠中，利用底抗氧化層具有流量性大、黏稠度低的特性，使得半導體基板上先形成類似一層薄薄的表面，然後再進行光阻塗佈的步驟，於是，光阻便可藉由半導體板上之底抗氧化層之平坦表面，而均勻的形成於半導體基板上，如此一來，光阻層便不會受到溝渠分布不平均的影響而具有高低不平的落差。隨後，移除光阻層後，由於光阻層之高度相當，溝渠之頂部與轉角處以及溝渠之側壁便可避免如傳統溝渠中所具有之損害(damage)，且當利用蝕刻製程移除溝渠中之底抗氧化層與氧化層後，每一個溝渠中便可留下高度平均的底氧化層。如此不只可改善溝渠式金屬氧化半導體元件因傳統製程所產生之溝渠之損害(damage)，更可避免因溝渠分布不平均而使得底氧化層之高度不平均之缺之。是以，本案極具產業之價值，爰依法提出申請。

本案得藉由熟悉此技藝之人士任施匠思而為諸般修飾，然皆不脫如附申請範圍所欲保護者。



圖式簡單說明

第一圖(a)~第一圖(h)：其係顯示本案較佳實施例之流程示意圖。



#### 六、申請專利範圍

1. 一種製造溝渠式金氧半場效電晶體之方法，該方法至少包括步驟：

(a) 提供一半導體基板，並於該半導體基板上形成溝渠；

(b) 形成一第一氧化層於該溝渠之底部與側壁以及該半導體基板上；

(c) 形成一底抗反射層於該溝渠中，並覆蓋於該第一氧化層上；

(d) 形成一光阻層於該底抗反射層上；

(e) 移除該光阻層；

(f) 移除該抗反射層；以及

(g) 移除該溝渠側壁之該第一氧化層，以於該溝渠中形成一底氧化層。

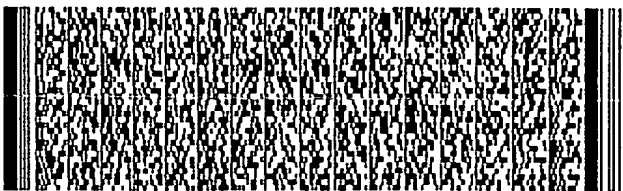
2. 如申請專利範圍第1項所述之製造溝渠式金氧半場效電晶體之方法，其中該步驟(a)更包括步驟：

(a1) 依序形成一墊氧化層、一氮化矽層與一單幕氧化層於該半導體基板上；以及

(a2) 移除部分該墊氧化層、該氮化矽層、該單幕氧化層與該半導體基板，以形成該溝渠。

3. 如申請專利範圍第2項所述之製造溝渠式金氧半場效電晶體之方法，其中該步驟(a2)係藉由微影與蝕刻製程進行。

4. 如申請專利範圍第2項所述之製造溝渠式金氧半場效電晶體之方法，其中該步驟(a2)之後更包括步驟：



#### 六、申請專利範圍

(a3) 形成一犧牲氧化層於該溝渠之側壁；以及

(a4) 移除該犧牲氧化層。

5. 如申請專利範圍第4項所述之製造溝渠式金氧半場效電晶體之方法，其中該步驟(a3)係藉由氧化法進行。
6. 如申請專利範圍第4項所述之製造溝渠式金氧半場效電晶體之方法，其中該步驟(a4)係藉由蝕刻方式進行。
7. 如申請專利範圍第1項所述之製造溝渠式金氧半場效電晶體之方法，其中該步驟(b)係以化學氣相沉積製程進行。
8. 如申請專利範圍第1項所述之製造溝渠式金氧半場效電晶體之方法，其中該步驟(c)係以沉積方式進行。
9. 如申請專利範圍第1項所述之製造溝渠式金氧半場效電晶體之方法，其中該步驟(f)係以蝕刻方式進行。
10. 如申請專利範圍第9項所述之製造溝渠式金氧半場效電晶體之方法，其中該步驟(f)之該蝕刻方式使用包含硫酸的化合物。
11. 如申請專利範圍第1項所述之製造溝渠式金氧半場效電晶體之方法，其中該步驟(g)係以蝕刻方式進行。
12. 如申請專利範圍第11項所述之製造溝渠式金氧半場效電晶體之方法，其中該步驟(g)之該蝕刻方式使用包含氫氟酸的化合物。
13. 如申請專利範圍第1項所述之製造溝渠式金氧半場效電晶體之方法，其中於步驟(g)之後更包括步驟:(h)沉積一多晶矽層於該溝渠。





六、申請專利範圍

14. 一種製造半導體元件之方法，該方法至少包括步驟：

(a) 提供一半導體基板，並於該半導體基板上形成溝渠；

(b) 形成一第一氧化層於該溝渠之底部與側壁以及該半導體基板上；

(c) 形成一底抗反射層於該溝渠中，並覆蓋於該第一氧化層上；

(d) 形成一光阻層於該底抗反射層上；

(e) 移除該光阻層；

(f) 移除該抗反射層；以及

(g) 移除該溝渠側壁之該第一氧化層，以於該溝渠中形成一底氧化層。

15. 如申請專利範圍第14項所述之製造半導體元件之方法，其中該步驟(a)更包括步驟：

(a1) 依序形成一墊氧化層、一氮化矽層與一罩幕氧化層於該半導體基板上；以及

(a2) 移除部分該墊氧化層、該氮化矽層、該罩幕氧化層與該半導體基板，以形成該溝渠。

16. 如申請專利範圍第15項所述之製造半導體元件之方法，其中該步驟(a2)之後更包括步驟：

(a3) 形成一犧牲氧化層於該溝渠之側壁；以及

(a4) 移除該犧牲氧化層。

17. 如申請專利範圍第14項所述之製造半導體元件之方法，其中於步驟(g)之後更包括步驟：(h) 沉積一多晶矽



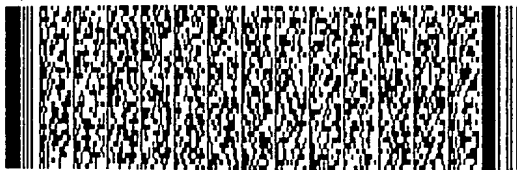
#### 六、申請專利範圍

層於該溝渠。

18. 一種半導體元件，該半導體元件之構造包括：一半導體基底；一溝渠式閘極在該半導體基底內；一溝渠式的氧化物質在該溝渠式閘極下方；以及，一閘極氧化層包覆著該溝渠式閘極且介於該溝渠式閘極與該氧化物質之間。
19. 一種溝渠式金氧半場效電晶體，該溝渠式金氧半場效電晶體之構造包括：一半導體基底；一溝渠式閘極在該半導體基底內；一溝渠式的氧化物質在該溝渠式閘極下方；以及，一閘極氧化層包覆著該溝渠式閘極且介於該溝渠式閘極與該氧化物質之間。



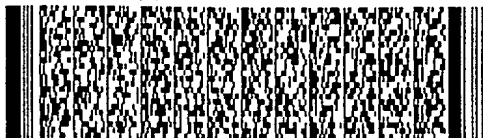
第 1/17 頁



第 1/17 頁



第 2/17 頁



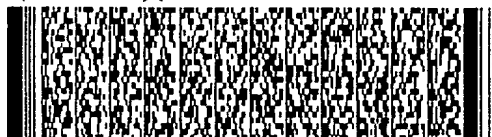
第 3/17 頁



第 3/17 頁



第 4/17 頁



第 5/17 頁



第 6/17 頁



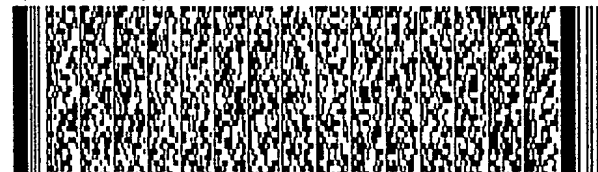
第 6/17 頁



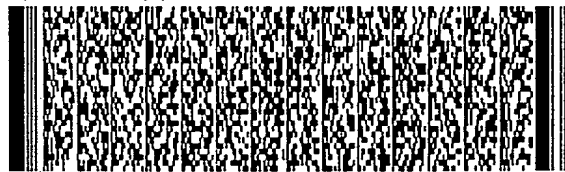
第 7/17 頁



第 7/17 頁



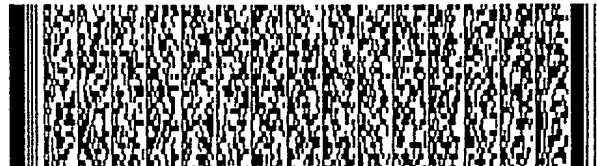
第 8/17 頁



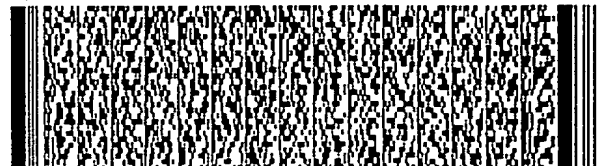
第 8/17 頁



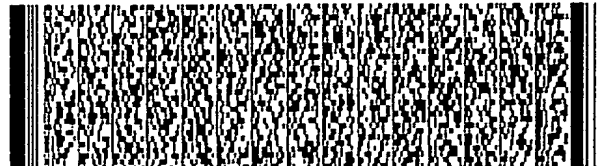
第 9/17 頁



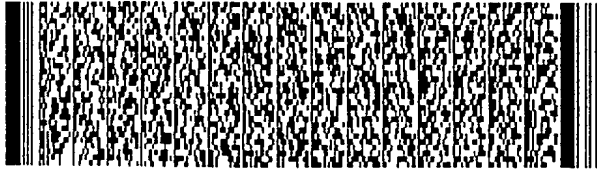
第 9/17 頁



第 10/17 頁



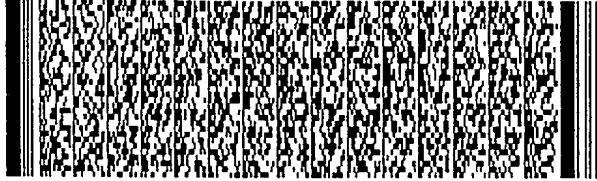
第 10/17 頁



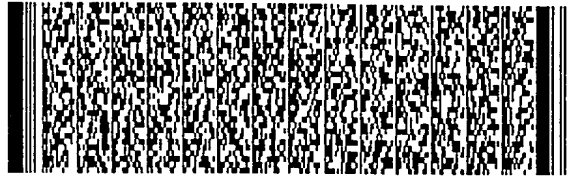
第 11/17 頁



第 11/17 頁



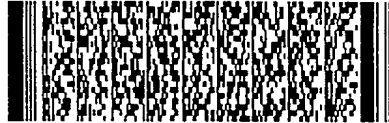
第 12/17 頁



第 12/17 頁



第 13/17 頁



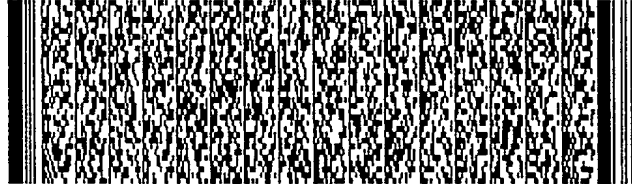
第 14/17 頁



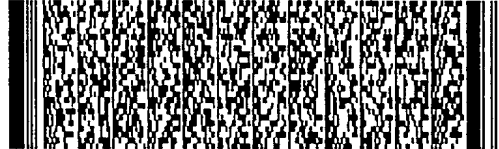
第 15/17 頁

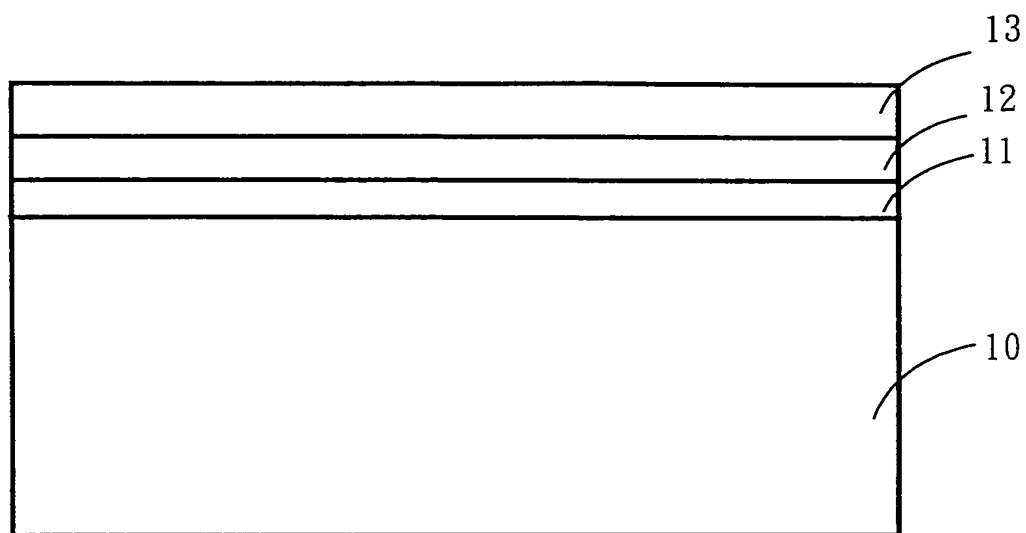


第 16/17 頁

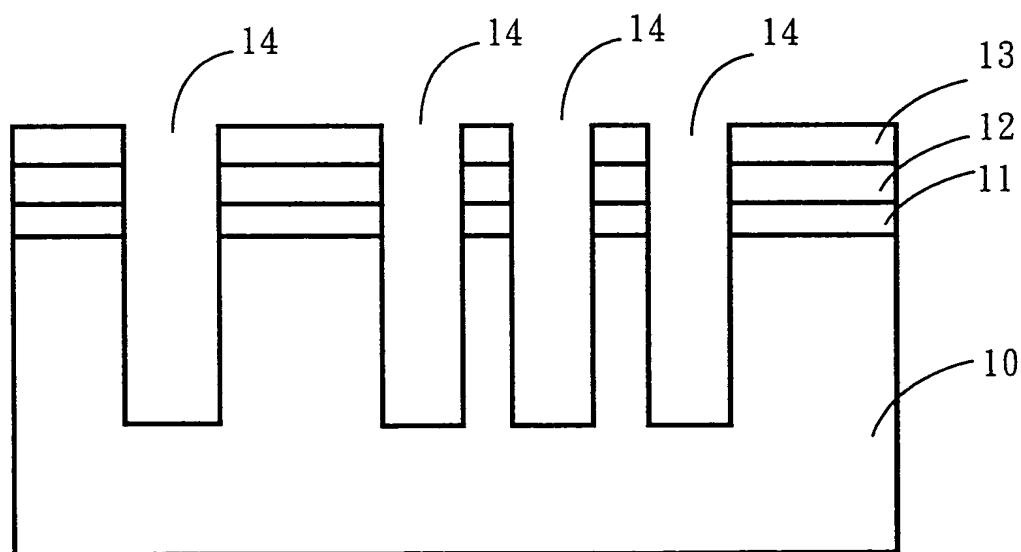


第 17/17 頁

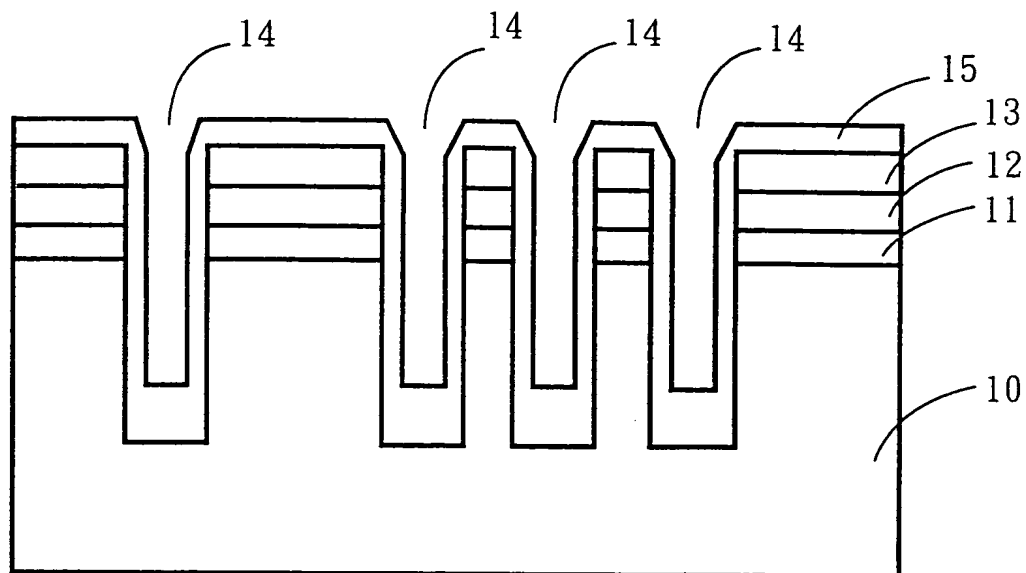




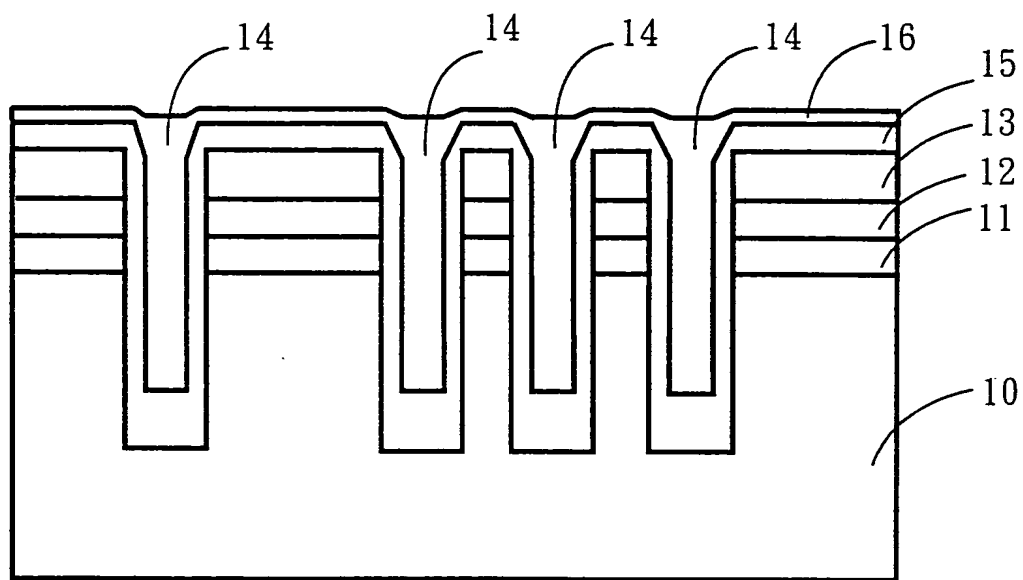
第一圖(a)



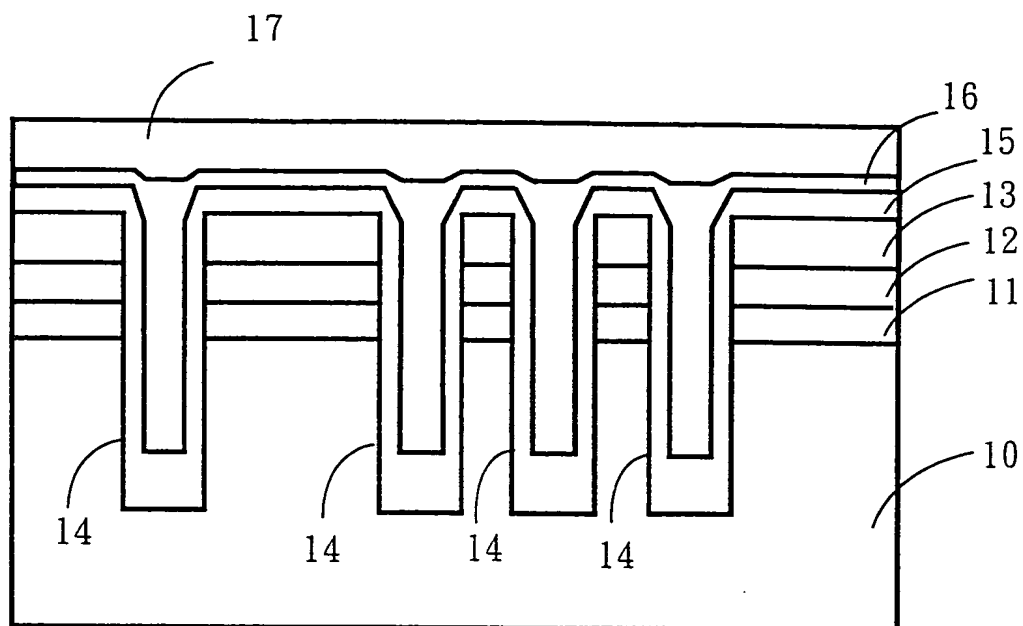
第一圖(b)



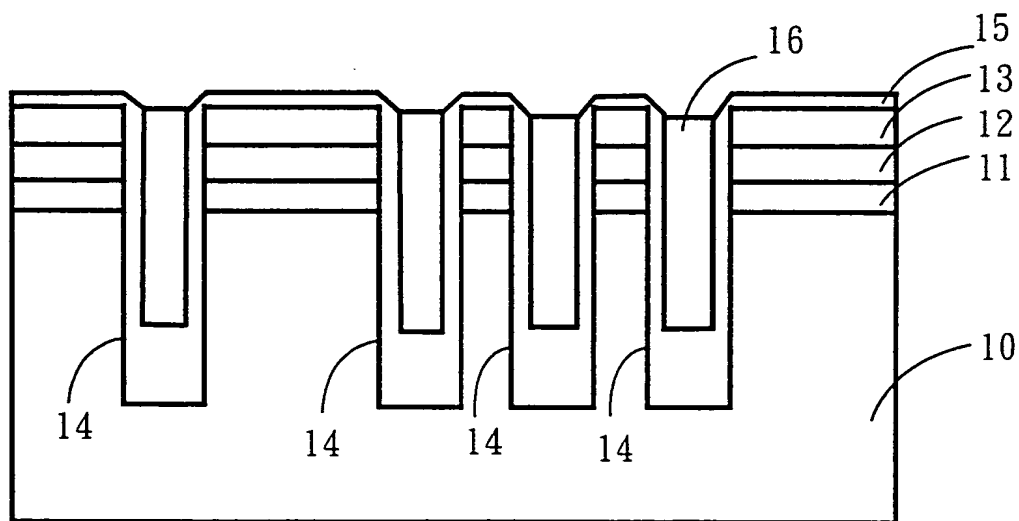
第一圖(c)



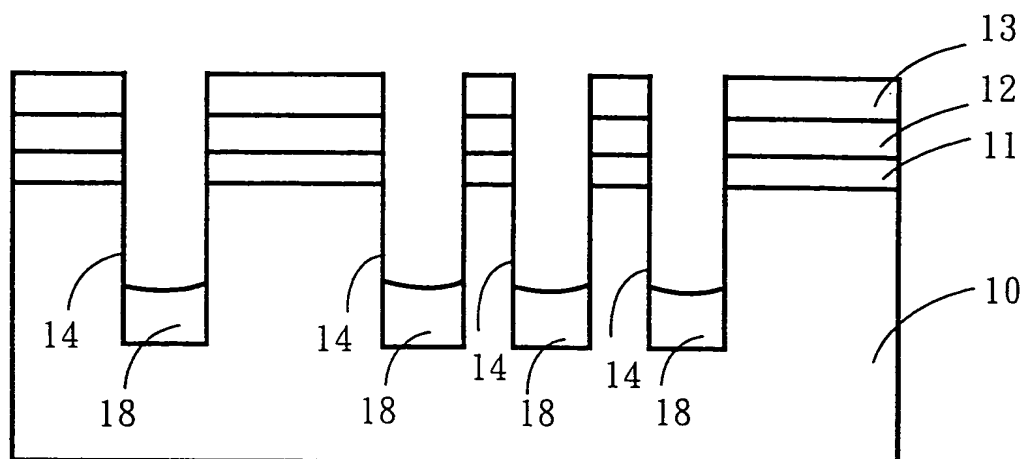
第一圖(d)



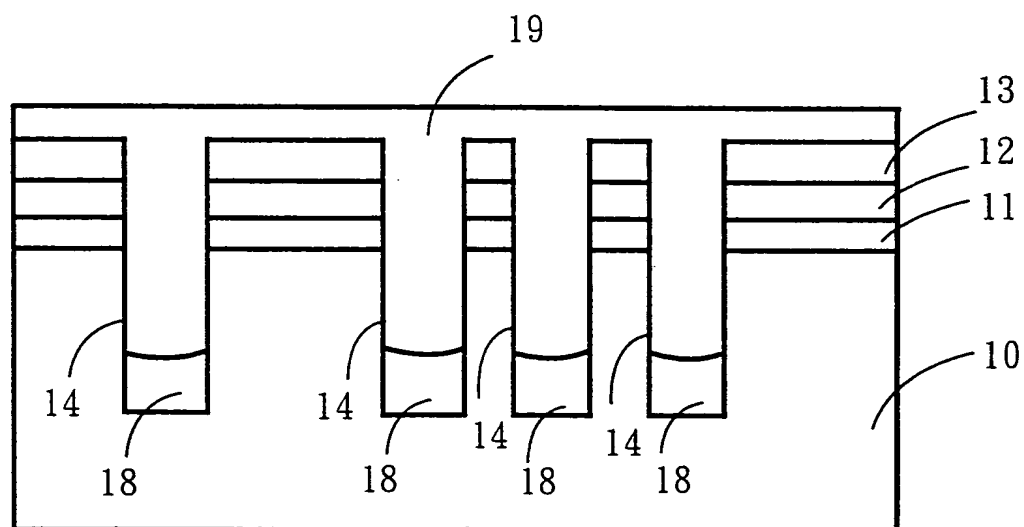
第一圖(e)



第一圖(f)



第一圖(g)



第一圖(h)